

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-308927

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

G09G 5/14  
G06F 3/153  
G06F 15/72  
G09G 5/06

(21)Application number : 05-094081

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.04.1993

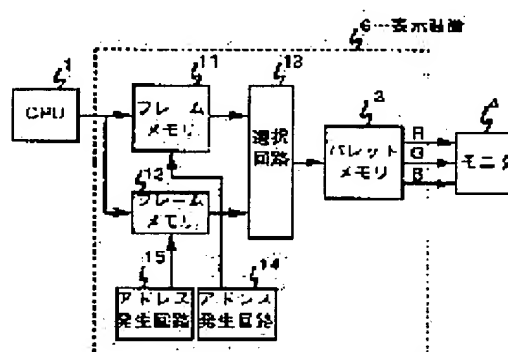
(72)Inventor : KAMEYAMA TATSUYA

## (54) DISPLAY DEVICE

## (57)Abstract:

PURPOSE: To reduce the memory quantity in the whole of a display device and the cost of the device.

CONSTITUTION: A frame memory 11 outputs pixel data corresponding to addresses outputted from an address generating circuit 14 in accordance with the luster scannings of a monitor 4 and the data are converted into respective color data R, G, B by a palette memory 3. At this time, when the data are laid over the window area being under luster scannings, a frame memory 12 outputs pixel data indicated by addresses outputted from an address generating circuit 15 and the data are converted to respective color data R, B, G by a palette memory 3. A selection circuit 13 switches the output of the palette memory 3 and the output of the palette memory in accordance with the luster scannings of the monitor 4 and then the switched output is displayed on the monitor 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-308927

(43) 公開日 平成6年(1994)11月4日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G09G 5/14		8121-5G		
G06F 3/153	336	B 7165-5B		
15/72	310	9192-5L		
G09G 5/06		8121-5G		

審査請求 未請求 請求項の数 7 O L (全16頁)

(21) 出願番号 特願平5-94081

(22) 出願日 平成5年(1993)4月21日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 亀山 達也

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

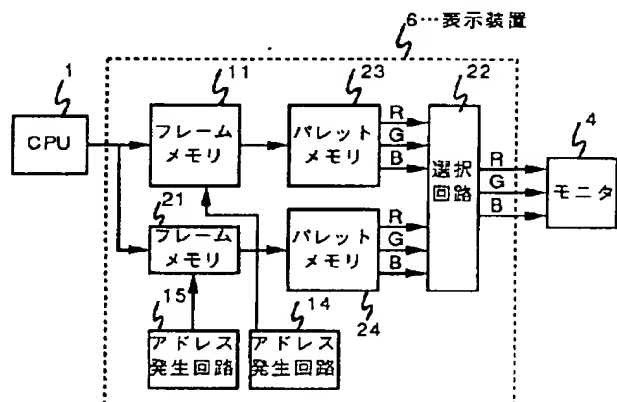
(54) 【発明の名称】 表示装置

(57) 【要約】

【構成】 フレームメモリ11は、モニタ4のラスタ走査にしたがってアドレス発生回路14から出力されるアドレスに対応する画素データを出力し、パレットメモリ23によって対応するR、G、B各色データに変換される。この時、ラスタ走査中ウィンドウ領域にかかった場合、フレームメモリ21は、アドレス発生回路15が出力するアドレスの示す画素データを出力し、パレットメモリ24によって対応するR、G、B各色データに変換される。選択回路22は、モニタ4のラスタ走査にしたがってパレットメモリ23の出力とパレットメモリ24の出力を切り換え、モニタ4に表示する。

【効果】 表示装置全体のメモリ量を削減することができ、表示装置の低価格化が達成できる。

(図4)



## 【特許請求の範囲】

【請求項 1】複数の画素により構成された画像の画素単位での色情報を記憶するフレームメモリと、上記画像の画素単位での色情報を出力する上記フレームメモリの出力を表示するモニタより構成される表示装置において、複数のフレームメモリを備え、第 1 のフレームメモリは、上記画像の画素単位の第 1 の色情報を記憶し、上記第 1 のフレームメモリ以外のフレームメモリは、上記画像より小さい領域の画像の第 2 の色情報を記憶し、上記第 1 のフレームメモリの出力と上記その他フレームメモリの出力を選択手段により切り換え、上記モニタ上に上記第 1 のフレームメモリに記憶された上記第 1 の色情報と上記その他フレームメモリに記憶された上記第 2 の色情報を合成して出力することを特徴とする表示装置。

【請求項 2】請求項 1 において、上記第 1 のフレームメモリは、表示される画像の全ての領域に関する上記第 1 の色情報を記憶し、上記その他フレームメモリは、上記第 1 のフレームメモリに記憶される表示可能な色数より多い色数の上記第 2 の色情報を記憶し、上記第 1 のフレームメモリの出力と上記その他フレームメモリの出力を選択手段により切り換え、上記モニタ上に上記第 1 のフレームメモリに記憶された上記第 1 の色情報と上記その他フレームメモリに記憶された上記第 2 の色情報とを合成して出力する表示装置。

【請求項 3】請求項 1 において、上記第 1 のフレームメモリは、表示される画像の全ての領域に関する第 1 の色情報を記憶し、上記その他フレームメモリは、上記全領域の画像より小さい領域の区画画像の色情報を記憶し、上記第 1 のフレームメモリの出力と上記その他フレームメモリの出力を選択する選択手段と上記その他フレームメモリの出力の経路の間に画像を拡大または縮小を行う拡大縮小手段を備え、上記フレームメモリの出力と上記拡大縮小手段の出力を上記選択回路により切り換え、上記モニタ上に上記第 1 のフレームメモリに記憶された上記第 1 の色情報と上記その他フレームメモリに記憶された上記第 2 の色情報を拡大又は縮小した画像とを合成して出力する表示装置。

【請求項 4】請求項 2 において、上記モニタ全体の第 1 の色情報を記憶した第 1 のフレームメモリの横方向のアドレスをカウントする第 1 のカウンタと、上記第 1 のフレームメモリの縦方向のアドレスをカウントする第 2 のカウンタと、上記モニタの一部領域の色情報を記憶する第 2 のフレームメモリの横方向のアドレスをカウントする第 3 のカウンタと、上記第 2 のフレームメモリの縦方向のアドレスをカウントする第 4 のカウンタを具備するアドレス変換回路を備える表示装置。

【請求項 5】複数の画素により構成された画像の画素単位での色情報を記憶するフレームメモリと、走査線にしたがって対応する上記フレームメモリに記憶された上記色情報の出力をアドレスとし、対応するレッド、グリー

ン、及びブルーの輝度情報を出力するパレットメモリと、上記パレットメモリの出力を表示するモニタより構成される表示装置において、上記フレームメモリには、モニタに出力される画像の特定の領域の一つの画素の色情報について複数のアドレスに記憶され、上記特定の領域の色情報を出力する場合は上記複数のアドレスに記憶されたデータを上記複数のレジスタに記憶し全ての色情報がレジスタに記憶された時にモニタに出力されることを特徴とする表示装置。

【請求項 6】請求項 1, 2, 3, 4 または 5 において、一つないし複数のフレームメモリの入力に画像データの種類の検出する検出手段を備え、画像データの種類の検出することにより、画像データを対応するフレームメモリに記憶する表示方式および表示装置。

【請求項 7】請求項 1, 2, 3 または 4 において、複数のフレームメモリからの複数の画像データを入力する手段と上記複数の画像データを選択して出力する選択手段を内蔵する表示用集積回路。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】本発明は、パーソナルコンピュータまたはワークステーションなどを利用し、出力をカラーでモニタに表示させる表示装置において、表示可能な色の種類を出力位置により制御する表示装置に係り、特に、テキストなどの色の種類が少ない表示と、写真などの静止画像や動画像など多数のカラーで表現しなければならない表示を同時に行うマルチメディア関連のアプリケーションに好適な表示装置に関する。

## 【 0 0 0 2 】

【従来の技術】従来、表示装置においては、表示領域の全ての部分で表示できる色の種類が同じである。この種の装置は、従来より製品として利用されており、例えば、図 1 8 に示すように、表示するデータを記憶するフレームメモリが一つであり、色の種類を多くすると、色の種類に比例して、フレームメモリの量が増加する。また、フレームメモリに記憶されたデータは、最初に書き込まれた指定の場所にしか表示出来ない。

【 0 0 0 3 】CPU 1 でモニタ 4 に表示される画素データが作成され、作成された画素データはフレームメモリ 2 に記憶される。フレームメモリ 2 に記憶された画素データは、モニタ 4 のラスタ走査にしたがってアドレス発生回路 5 によって読み出されパレットメモリ 3 によりモニタ 4 の表示に適したカラーデータに変換されモニタ 4 に表示される。パレットメモリ 3 は、入力されるデータに対応する、レッド（以下 R と略す）、グリーン（以下 G と略す）、ブルー（以下 B と略す）のカラーデータを出力する。

【 0 0 0 4 】また、表示装置用の集積回路としては、例えば米国 Brooktree 社より多数の L S I が製品化されている。その一例を図 1 7 に示す。同期回路 3 0 7 は、CR

T モニタ 4 への同期信号 3 1 1 を出力し、同時にフレームメモリ 2 からの画素データ 3 0 1 をラッチ回路 3 0 2 により同期信号 3 1 1 に同期させ、ラッチ回路 3 0 2 の出力は、パレットメモリ 3 0 3 により R, G, B 3 色の色の情報に変換され、D/A 変換回路 3 0 4, 3 0 5, 3 0 6 により RGB それぞれのアナログ信号 R 信号 3 0 8, G 信号 3 0 9, B 信号 3 1 0 に変換され、モニタ 4 に出力される。

【0005】また、例えば特開平 2-125588 号公報では、複数のフレームメモリを持ち、フレームメモリを切り換えることによりモニタに複数のウィンドウを表示させる。この例では、フレームメモリを複数持つが、表示できる色の数を制御する技術については考慮されていない。また、通信手段を持ち多地点間で受信された画像をそれぞれ記憶する目的に利用されており、通信機能を持たない単独のパソコンまたはワークステーションで利用することが考慮されていない。

【0006】また、例えば、特開平 2-257332 号公報では、複数の画像情報入力手段を持ち複数の表示領域に表示させる表示装置が開示されているが、それぞれの表示領域に表示できる色の数を制御する技術については考慮されていない。

【0007】

【発明が解決しようとする課題】従来の表示装置では、表示できる色の数が増えたり表示する画面の大きさが大きくなると表示させるための画像データ全体が非常に多くなる。このためメモリの数が増え、装置のコストが高くなる。

【0008】本発明の目的は、フレームメモリの内容を書き替えることなく、表示するウィンドウ位置を変更したりウィンドウの大きさを自由に変更できる表示装置において、ウィンドウごとに表示できる色の数を変えることができる表示装置を提供することにある。

【0009】本発明の別の目的は、表示する画像データに識別のためのフラグを付加し、自動的に目的のフレームメモリに記憶することができる表示装置を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するための本発明の表示装置は、例えば図 1 に示すように、フレームメモリを複数使用し、画像出力への経路にフレームメモリの出力を選択する選択手段を備える。

【0011】ここでフレームメモリに記憶する画像データは、図 2 に示すように一つはベース領域 1 0 2 の画像データを記憶し、他のフレームメモリはモニタ画面のウィンドウ領域 1 0 3 の画像データを記憶する。

【0012】あるいは、表示領域ごとに表示できる色の数が異なるようにするには、複数のウィンドウ領域に対応して表示できる色の数を記憶可能な専用のフレームメモリを複数備える。あるいは、図 1 2 に示すように一つ

のフレームメモリに異なるそれぞれの領域の 1 画素の画像データを複数のアドレスに記憶させ、図 1 1 に示すように複数のアドレスに記憶された画像データを、一時記憶手段に出力させ、1 画素分の画像データが揃ってからモニタに出力する。

【0013】

【作用】本発明でモニタ全体を表示する画像データを記憶するフレームメモリの他に、モニタの一部のウィンドウ領域の画像データを記憶する複数のフレームメモリを持ち、読み出すフレームメモリを制御することにより、フレームメモリの内容を書き替えることなくウィンドウの表示位置を制御することが可能になる。

【0014】また、モニタ全体を表示する画像データを記憶するフレームメモリに対して、モニタの一部のウィンドウ領域の画像データを記憶する他のフレームメモリに限定して表示できる色の数を多くすることにより、全体として少ないメモリ量できれいなカラー画像を表示することが可能になる。

【0015】また、モニタ全体を表示する画像データを記憶するフレームメモリの他に、モニタの一部のウィンドウ領域の画像データを記憶する複数のフレームメモリを持ち、モニタの一部のウィンドウ領域の画像データを記憶する複数のフレームメモリの出力に画像の拡大または縮小をする手段を付加すれば、メモリの内容を書き替えずにコマンドだけでウィンドウの拡大または縮小が可能になる。

【0016】また、モニタ全体を表示する画像データと、表示できる色の数が異なるモニタの一部のウィンドウ領域の画像データを記憶するフレームメモリを一つにし、異なるデータ形式の画像データを一つのフレームメモリに記憶できるようにすることにより、フレームメモリの増設量が自由になり、またウィンドウ領域を任意の数に増設可能になる。

【0017】

【実施例】

〈実施例 1〉図 1 は、本発明の第 1 の実施例を示すブロック図であり、図 2 は、本発明の実施例における表示例であり、図 3 は、本発明の第 1 の実施例の動作を示すフローチャートである。第 1 の実施例では二つのフレームメモリを使用した場合の実施例を示す。

【0018】図 2 において、1 0 1 は、複数の画素データより構成された画像を表示するモニタ 4 の表示画面例であり、ラスタ走査 1 0 4 にしたがって画素データが出力される。1 0 2 は、モニタ 4 全面に表示されるベース領域であり、1 0 3 は、ベース領域 1 0 2 より小さい領域で画素データを表示するウィンドウ領域である。

【0019】図 1 において、1 は、モニタ 4 に出力する画素データを作成する CPU であり、1 1 はベース領域 1 0 2 を表示する画素データを 1 フレーム分記憶する第 1 のフレームメモリ、1 2 は、ウィンドウ領域 1 0 3 を

表示する画素データを1フレーム分記憶する第2のフレームメモリである。

【0020】14は、ラスト走査にしたがい、第1のフレームメモリ11に記憶された画素データを読み出すアドレスを出力する第1のアドレス発生回路、15は、ラスト走査にしたがい、第2のフレームメモリ12に記憶された画素データを読み出すアドレスを出力する第1のアドレス発生回路である。

【0021】13は、モニタ4のラスト走査にしたがってベース領域102、ウィンドウ領域103に応じてフレームメモリ11およびフレームメモリ12の出力を切り換える選択回路である。3は、選択回路13から出力される画素データに対応するR、G、B各色データを出力するパレットメモリである。

【0022】次に各部の動作を図3のフローチャートを用いて説明する。CPU1によりフレームメモリ11にベース領域102の画素データが、フレームメモリ12にウィンドウ領域103の画素データがそれぞれ随時書き込まれる。フレームメモリ11は、モニタ4のラスト走査(212)にしたがってアドレス発生回路14から出力されるアドレスに対応する画素データを出力する(214)。この時、ラスト走査中ウィンドウ領域103にかかった場合(213)、フレームメモリ12は、アドレス発生回路15が出力するアドレスの示す画素データを出力する(215)。

【0023】選択回路13は、ラスト走査104がベース領域102の時、フレームメモリ12に記憶された画素データを選択出力し、ラスト走査104がウィンドウ領域103の時、フレームメモリ12に記憶された画素データを選択出力し、選択回路13の出力はパレットメモリ3を介してR、G、B各色に変換され(216)モニタ4に表示される(217)。なお、フレームメモリ11、およびフレームメモリ12に記憶される画素データのワードサイズは同じである。また本実施例ではウィンドウ領域103を一つとしたが、もちろん複数のウィンドウ領域を持つことが可能である。またウィンドウ領域一つに対して一つのフレームメモリを追加することも可能である。

【0024】〈実施例2〉図4は、本発明の第2の実施例を示すブロック図であり、図5は、本発明の第2の実施例の動作を示すフローチャートである。なお、本実施例では、二つのフレームメモリを使用した場合の実施例を示す。また、本実施例では、図2のウィンドウ領域103は、ベース領域102に対して同時に多くの色を表示できる。例えば、ベース領域102の画素データを8ビット、ウィンドウ領域103の画素データを24ビットとする。もちろん画素データのビット数は任意の値を使用できる。

【0025】図4において、11はベース領域102の画素データを記憶するフレームメモリ、21は、ウィン

ドウ領域103の画素データを記憶するフレームメモリであり、フレームメモリ11には、8ビットの画素データが、フレームメモリ21には、24ビットの画素データが記憶される。23は、フレームメモリ11の出力の画素データに対応するR、G、B各色データを出力するパレットメモリ、24は、フレームメモリ21の出力の画素データに対応するR、G、B各色データを出力するパレットメモリである。

【0026】22は、モニタ4のラスト走査によるベース領域102、ウィンドウ領域103に応じてパレットメモリ23とパレットメモリ24の出力を選択する選択回路である。また、14は、ラスト走査にしたがい、フレームメモリ11に記憶された画素データを読み出すアドレスを出力するアドレス発生回路、15は、ラスト走査104にしたがい、フレームメモリ21に記憶された画素データを読み出すアドレスを出力するアドレス発生回路である。

【0027】次に各部の動作を図5のフローチャートを用いて説明する。CPU1によりフレームメモリ11にベース領域102の8ビットの画素データが、フレームメモリ21にウィンドウ領域103の24ビットの画素データがそれぞれ随時書き込まれる。

【0028】フレームメモリ11は、モニタ4のラスト走査(222)にしたがってアドレス発生回路14から出力されるアドレスに対応する画素データを出力(224)し、パレットメモリ23によって対応するR、G、B各色データに変換(225)される。この時、ラスト走査中ウィンドウ領域にかかった場合(223)、フレームメモリ21は、アドレス発生回路15が出力するアドレスの示す画素データを出力(226)し、パレットメモリ24によって対応するR、G、B各色データに変換(229)される。選択回路22は、モニタ4のラスト走査104にしたがってパレットメモリ23の出力とパレットメモリ24の出力を切り換え、モニタ4に表示する(227)。なお、本実施例ではウィンドウ領域103を一つとしたがもちろん複数のウィンドウ領域を持つことが可能である。またウィンドウ領域一つに対して一つのフレームメモリを追加することも可能である。

【0029】〈実施例3〉図6は、本発明の第3の実施例を示すブロック図であり、図7は、本発明の第3の実施例の動作を示すフローチャートである。図6において、31は、CPU1の指示にしたがって、フレームメモリ21の出力データを間引く、または補間することにより、ウィンドウ領域103の大きさを縮小または拡大する変換回路である。32は、変換回路31に対しCPU1から変換する大きさを指定するサイズ制御信号である。

【0030】次に各部の動作を図7のフローチャートを用いて説明する。CPU1によりフレームメモリ11にベース領域102の画素データが、フレームメモリ21

にウィンドウ領域 1 0 3 の画素データがそれぞれ随時書き込まれる。

【0031】フレームメモリ 1 1 は、モニタ 4 のラスタ走査 (2 3 2) にしたがってアドレス発生回路 1 4 から出力されるアドレスに対応する画素データを出力 (2 3 4) し、パレットメモリ 2 3 によって対応する R, G, B 各色データに変換し出力 (2 3 5) される。この時、ラスタ走査中ウィンドウ領域 1 0 3 にかかった場合 (2 3 3)、フレームメモリ 2 1 は、アドレス発生回路 1 5 が出力するアドレスの示す画素データを出力 (2 3 6) し、変換回路 3 1 は、CPU 1 からのサイズ制御信号 3 2 にしたがって画素データを間引く、または補間して出力 (2 3 7) し、さらにパレットメモリ 2 4 によって対応する R, G, B 各色データに変換し出力 (2 3 1) する。選択回路 2 2 は、モニタ 4 のラスタ走査 1 0 4 にしたがってパレットメモリ 2 3 の出力とパレットメモリ 2 4 の出力を切り換えモニタ 4 に表示 (2 3 8) する。なお、本実施例ではウィンドウ領域 1 0 3 を一つとしたが、もちろん複数のウィンドウ領域を持つことが可能である。またウィンドウ領域一つに対して一つのフレームメモリを追加することも可能である。

【0032】〈実施例 4〉図 8 は、本発明の第 4 の実施例を示すブロック図であり、図 1 0 は、本発明の第 4 の実施例の動作を示すフローチャートであり、図 9 は、本発明の第 4 の実施例での画素データの説明図である。図 8 および図 9 において、4 4 は、CPU 1 より出力される画像データであり、4 1 は、画像データ 4 4 をモード指定 1 1 1 と画素データ 1 1 2 に分離する分離回路である。4 3 は、分離回路 4 1 により分割された画素データ 1 1 2 をデータ識別回路 4 2 の指示にしたがってフレームメモリ 1 1 またはフレームメモリ 2 1 に出力する選択回路である。4 2 は、分離回路 4 1 により分割されたモード指定 1 1 1 のデータに対応して、選択回路 4 3 の入力を切り換える識別回路である。

【0033】本実施例では、画像データ 4 4 として 2 種類の画像データを利用する場合を示す。図 8 において、画像データ 4 4 の基本構成は同図 a のように、モード指定 1 1 1 と画素データ 1 1 2 より構成される。同図 b のデータ 1 1 3 は、8 ビットモードの画像データ例であり、モード指定領域 1 1 1 には、画素データ 1 1 5 が 8 ビットであることを示す 8 ビットモード 1 1 4 と画素データ 1 1 5 より構成される。同図 c のデータ 1 1 6 は、2 4 ビットモードの画像データ例であり、モード指定 1 1 1 には、画素データ 1 1 8 が 2 4 ビットであることを示す 2 4 ビットモード 1 1 7 と 2 4 ビットの画素データ 1 1 8 より構成される。

【0034】次に各部の動作を図 1 0 のフローチャートを用いて説明する。本実施例において、モニタ 4 に表示する動作については第 2 の実施例と同じである。以下、ベース領域 1 0 2 及びウィンドウ領域 1 0 3 に表示され

る画素データをフレームメモリ 1 1 およびフレームメモリ 1 2 に書き込む処理について説明する。

【0035】CPU 1 は、モニタ 4 に表示させる画像データ 4 4 を分離回路 4 1 に送り、分離回路 4 1 は、画像データ 4 4 をモード指定 1 1 1 と画素データ 1 1 2 に分離 (2 4 1) する。分離されたモード指定 1 1 1 は、識別回路 4 2 に入力されモード指定 1 1 1 が 8 ビットモード 1 1 4 の場合 (2 4 2) は、選択回路 4 3 により分離回路 4 1 で分割された画素データ 1 1 5 をフレームメモリ 1 1 の CPU 1 が指定するアドレスに記憶する (2 4 3)。また、識別回路 4 2 に入力されモード番号 1 1 1 が 2 4 ビットモード 1 1 7 の場合 (2 4 2) は、選択回路 4 3 により分離回路 4 1 で分割された 2 4 ビットデータ 1 1 8 をフレームメモリ 2 1 の CPU 1 が指定するアドレスに記憶する (2 4 4)。以上の処理は、モニタ 4 への表示とは独立に随時行われる。

【0036】〈実施例 5〉図 1 1 は、本発明の第 5 の実施例を示すブロック図であり、図 1 2 は、第 5 の実施例におけるフレームメモリの説明図、図 1 3 は、第 5 の実施例を示すフローチャートである。本実施例では、ベース領域 1 0 2 の画素データを 1 バイト、ウィンドウ領域 1 0 3 の画素データを 3 バイトとし、フレームメモリの 1 ワードが 1 バイトであるとする。

【0037】図 1 1 において、5 1 は、モニタ 4 に表示する画素データを記憶するフレームメモリであり、5 5 は、モニタ 4 のラスタ走査にしたがってフレームメモリ 5 1 から読み出すアドレスを出力するアドレス発生回路、5 2 は、フレームメモリ 5 1 から出力される画素データを一時記憶するレジスタ、5 3 は、フレームメモリ 5 1 から出力される画素データを一時記憶するレジスタ、5 4 は、フレームメモリ 5 1 から出力される画素データを一時記憶するレジスタである。5 6 は、レジスタ 5 2、レジスタ 5 3、およびレジスタ 5 4 の出力を対応する R, G, B 各色のデータに変換するパレットメモリである。

【0038】図 1 2 において、5 8 は、ベース領域 1 0 2 の 1 ワードの画素データであり、フレームメモリ 5 1 内で一つの画素データに対して一つのアドレスに記憶される。5 9 は、ウィンドウ領域 1 0 3 の 3 ワードの画素データであり、フレームメモリ 5 1 内で一つの画素データに対して三つのアドレスにわたり記憶される。

【0039】次に各部の動作を図 1 3 のフローチャートを用いて説明する。CPU 1 によりフレームメモリ 5 1 にベース領域 1 0 2 の画素データが 1 ワード単位で、またウィンドウ領域 1 0 3 の画素データが 3 ワード単位でそれぞれ随時書き込まれる。

【0040】フレームメモリ 5 1 は、モニタ 4 のラスタ走査 (2 5 2) にしたがって、ベース領域であれば (2 5 3)、フレームメモリ 5 1 は、アドレス発生回路 5 5 から出力されるアドレスに対応する画素データを出力

(254) し、パレットメモリ23によって対応するR、G、B各色データに変換(255)し出力する。また、ラスト走査中ウィンドウ領域にかかった場合(253)、アドレス発生回路55は、1画素に対して三つカウンタを進め、最初のフレームメモリ51の出力をレジスタ52に記憶(256)し、次の出力をレジスタ53に記憶(257)し、さらに次の出力をレジスタ54に記憶(258)する。次に、レジスタ52、レジスタ53、およびレジスタ54それぞれにデータが揃ってから、それぞれの出力は、パレットメモリ56により対応するR、G、B各色データに変換(251)され、選択回路32を介してモニタ6に表示(259)される。なお、本実施例ではウィンドウ領域103を一つとしたがもちろん複数のウィンドウ領域を持つことが可能である。またウィンドウ領域一つに対して一つのフレームメモリを追加することも可能である。なお画素データは、任意の語長にできる。

【0041】〈実施例6〉次に第6の実施例を図面を用いて詳細に説明する。図14は、本発明の第6の実施例を示すブロック図であり、図15は、本発明の第6の実施例を示すフローチャートである。本実施例は、第1から第4におけるアドレス発生回路の詳細の一例を示すものであり、本実施例では第1の実施例に用いることを前提に説明を行う。

【0042】図14において、61はモニタのラスト走査104に同期した画素単位のクロック信号であり、62は、ベース領域102の画素データを記憶したフレームメモリ11のX方向アドレスをクロック61に同期してカウントするカウンタ、63は、ベース領域102の画素データを記憶したフレームメモリ11のY方向のアドレスをクロック61に同期してカウントするカウンタである。

【0043】67は、ウィンドウ領域103の画素データを記憶したフレームメモリ12のX方向のアドレスをクロック61に同期してカウントするカウンタ、70は、ウィンドウ領域103の画素データを記憶したフレームメモリ12のY方向のアドレスをクロック61に同期してカウントするカウンタである。なお、カウンタ62、63、67、70は、フレームの開始時においてリセットされる。

【0044】64は、ウィンドウ領域103のX座標原点のX原点アドレス、65は、ウィンドウ領域103のY座標原点のY原点アドレスであり、66は、カウンタ62の出力と、X原点アドレス64を比較する比較回路、69は、カウンタ63の出力と、Y原点アドレス65を比較する比較回路である。74は、論理積回路、78は、論理積回路である。68は、セトリセット型のフリップフロップ、71は、セトリセット型のフリップフロップであり、入力のエッジの立上りで動作する。

72は、フレームメモリ11のXアドレス、73は、フ

レームメモリ11のYアドレス出力、76は、フレームメモリ12のXアドレス、77は、フレームメモリ12のYアドレス、75は、選択回路13に対してフレームメモリ11の出力とフレームメモリ12の出力を選択するメモリセレクト信号である。79は、カウンタ62がオーバーフローした時に出力されるオーバーフロー信号、80は、カウンタ67がオーバーフローした時に出力されるオーバーフロー信号である。

【0045】次に各部の動作を図15のフローチャートを用いて説明する。カウンタ62は、ラスト走査104に同期したクロック61によりカウントされフレームメモリ11のXアドレス72を出力(271)し、カウンタ62がオーバーフローした時(272)、カウンタ63は、オーバーフロー信号79をクロック入力とし、フレームメモリ11のYアドレス73を出力する(273)。

【0046】フリップフロップ71は、Yアドレス73とY原点アドレス65とを比較回路69により比較し、同じならばセットされる。またフリップフロップ68は、Xアドレス72とX原点アドレス64とを比較回路66により比較し、同じかつフリップフロップ71がセットされている時にセットされる。カウンタ67は、フリップフロップ68がセットの時(274)ラスト走査104に同期したクロック61によりカウントされフレームメモリ12のXアドレス76を出力(275)し、カウンタ67がオーバーフローの時(276)、フリップフロップ68をリセットする。カウンタ70は、フリップフロップ71がセットの時(278)、オーバーフロー信号80をクロックとしYアドレス77を出力(279)し、オーバーフローした時、フリップフロップ71をリセットする。

【0047】〈実施例7〉図16は、本発明の第7の実施例を示すブロック図である。320は、第2のフレームメモリ7から出力される画素データ、323は、同期回路307に同期して画素データ320を一時記憶するラッチ回路、321は、ラッチ回路323の出力を対応するR、G、B各色のデータに変換するパレットメモリ、324は、パレットメモリ303およびパレットメモリ321の出力を切り換える選択回路である。

【0048】フレームメモリ2より出力された画素データ301はラッチ回路302でビデオ信号311と同期され、パレットメモリ303を経由してR、G、B3色のカラーデータに変換される。フレームメモリ7より出力された画素データ320は、ラッチ回路323によりビデオ信号311と同期されパレットメモリ321を経由してR、G、B3色のカラーデータに変換される。パレットメモリ303とパレットメモリ321の出力は選択回路324により選択され、その出力はDA変換回路304、305、306によりそれぞれR信号308、G信号309、B信号310のアナログ信号に変換され

11

モニタ 4 に表示される。

【 0 0 4 9 】

【発明の効果】本発明により、表示データの種類に応じて記憶するメモリを選択することにより表示装置全体のメモリ量を削減することができる。また、メモリ量を削減することにより表示装置の低価格化が達成できる。さらに、フレームメモリの内容を書き替えせずに画像を表示する位置を変更することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示すブロック図。

【図 2】実施例での表示画面の表示例の説明図。

【図 3】第 1 の実施例の動作を示すフローチャート。

【図 4】本発明の第 2 の実施例を示すブロック図。

【図 5】第 2 の実施例の動作を示すフローチャート。

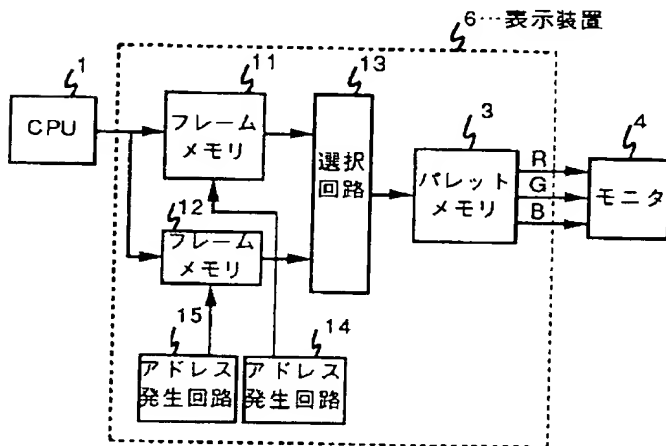
【図 6】本発明の第 3 の実施例を示すブロック図。

【図 7】第 3 の実施例の動作を示すフローチャート。

【図 8】本発明の第 4 の実施例を示すブロック図。

【図 1】

(図 1)



12

【図 9】第 4 の実施例における画素データの説明図。

【図 10】第 4 の実施例の動作を示すフローチャート。

【図 11】本発明の第 5 の実施例を示すブロック図。

【図 12】第 5 の実施例におけるフレームメモリの説明図。

【図 13】第 5 の実施例の動作を示すフローチャート。

【図 14】本発明の第 6 の実施例を示すブロック図。

【図 15】第 6 の実施例の動作を示すフローチャート。

【図 16】本発明の第 7 の実施例を示すブロック図。

【図 17】従来の表示用集積回路のブロック図。

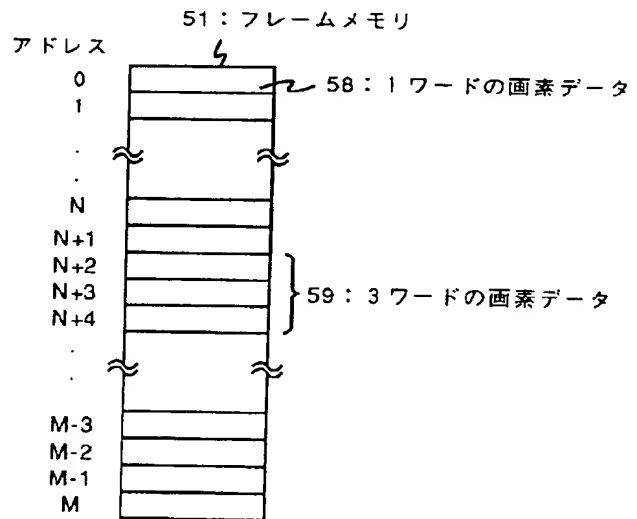
【図 18】従来の表示装置のブロック図。

【符号の説明】

1…CPU、3…パレットメモリ、4…モニタ、6…表示装置、11…フレームメモリ、12…フレームメモリ、13…選択回路、14…アドレス発生回路、15…アドレス発生回路。

【図 12】

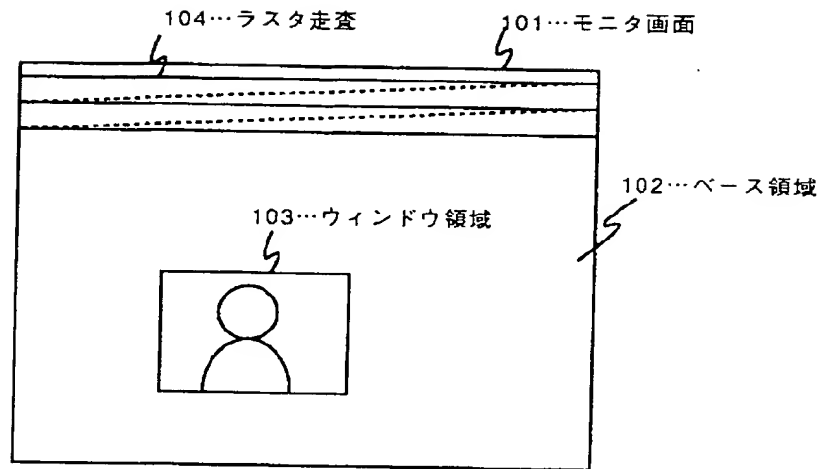
(図 12)





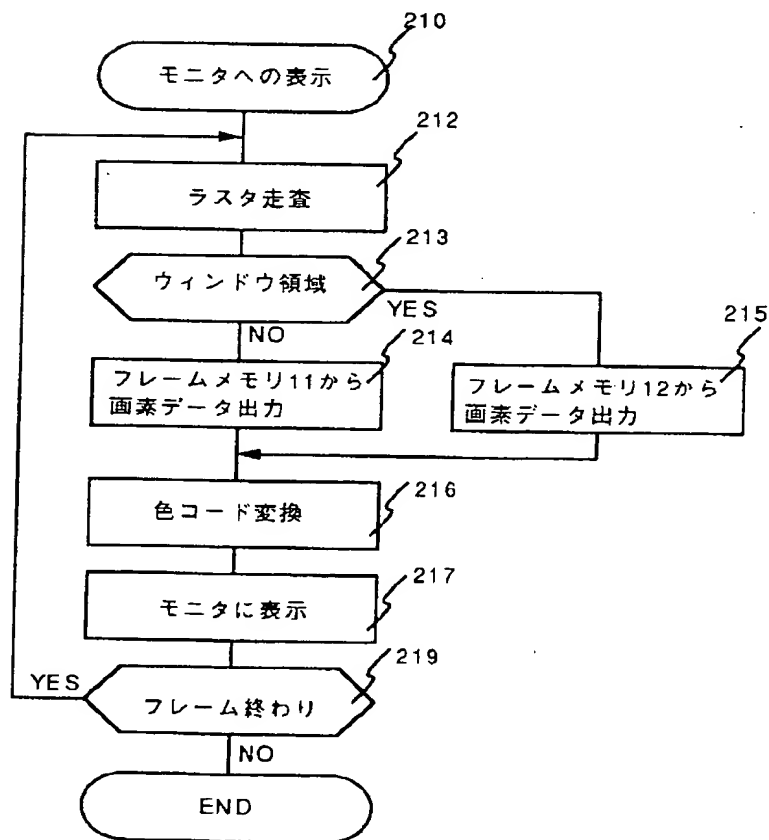
【図 2】

( 図 2 )



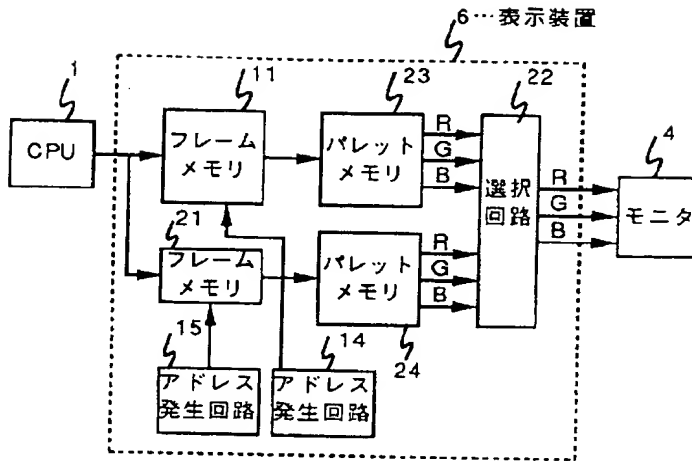
【図 3】

( 図 3 )



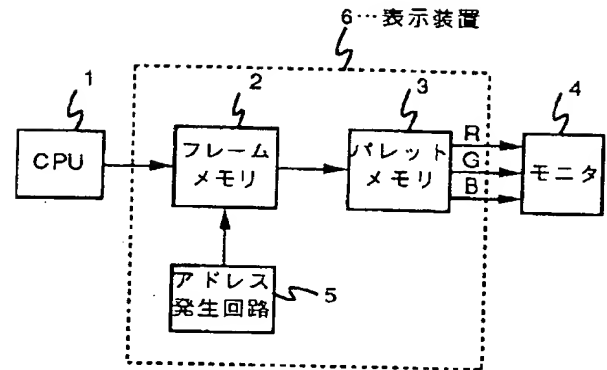
【図 4】

(図 4)



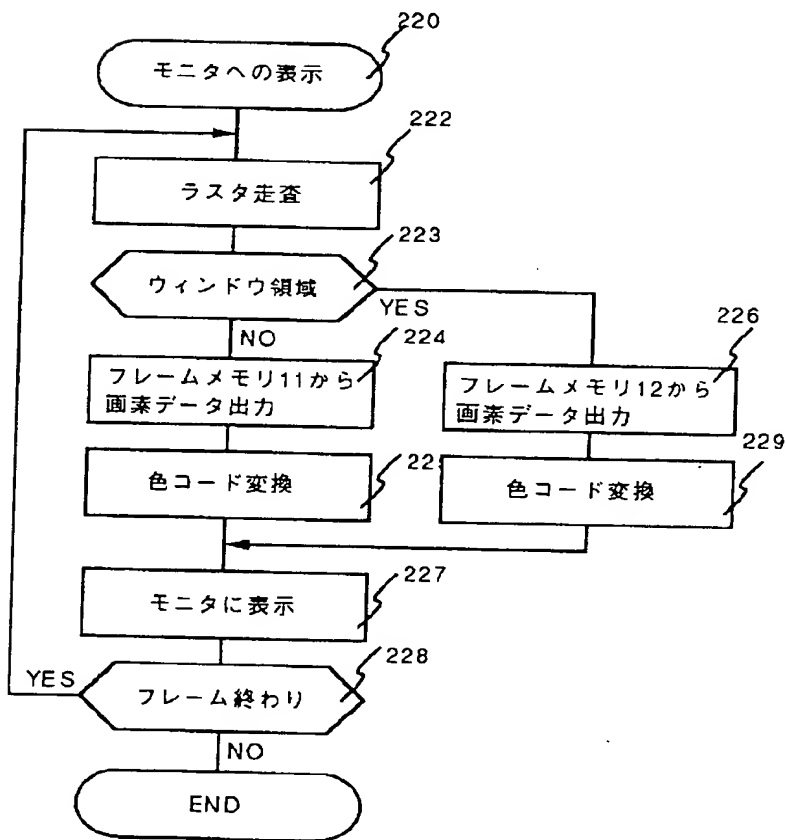
【図 18】

(図 18)



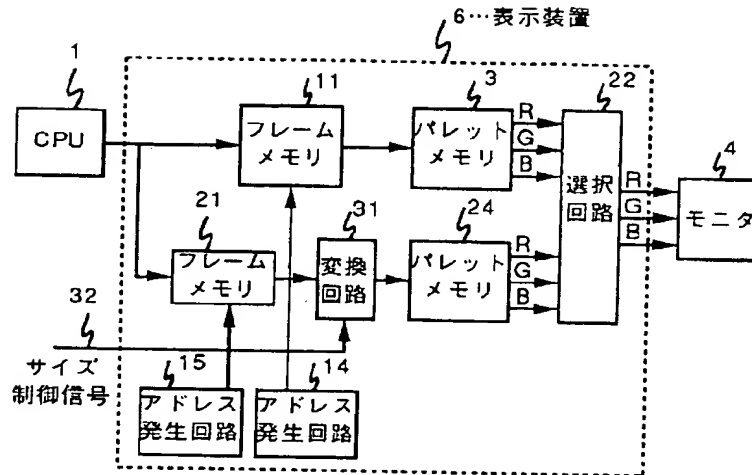
【図 5】

(図 5)



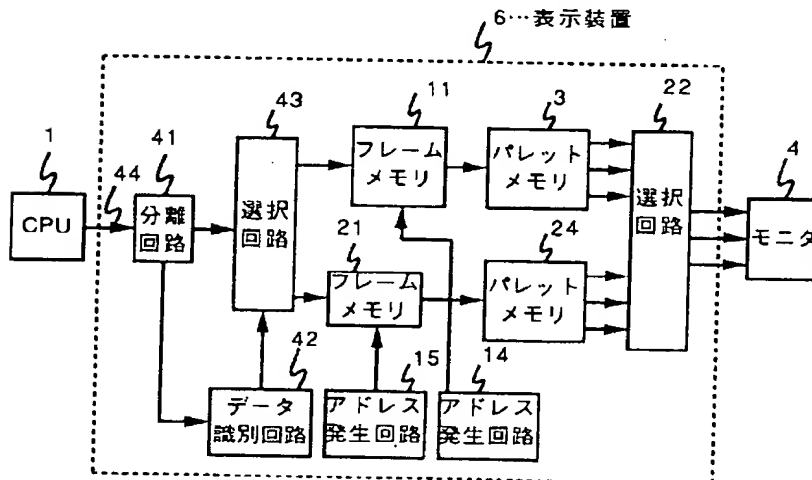
【図 6】

(図 6)



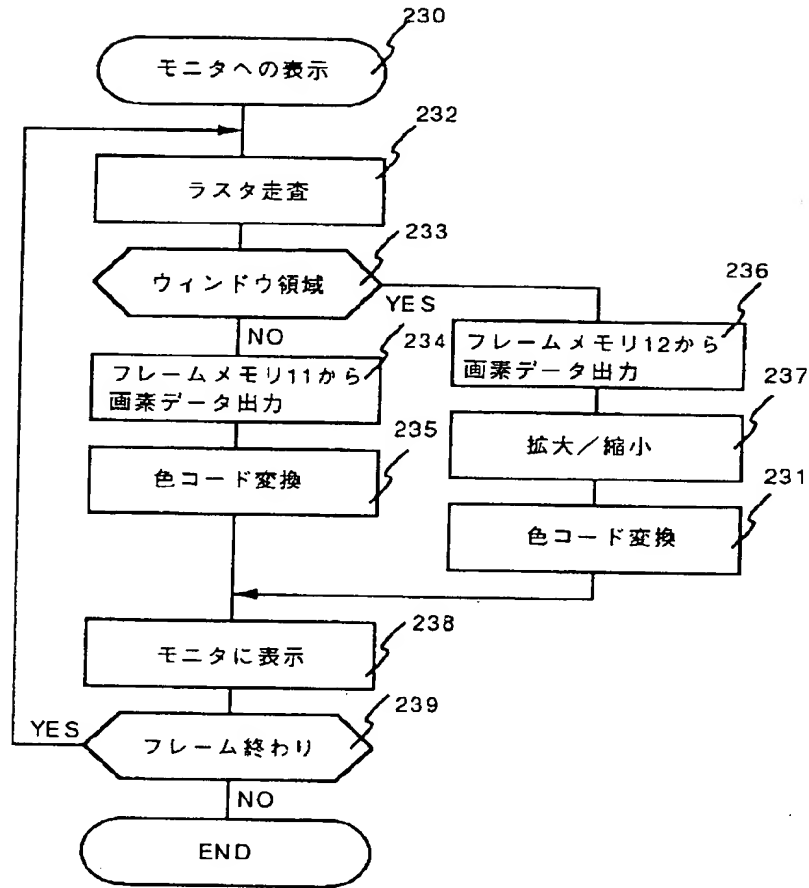
【図 8】

(図 8)



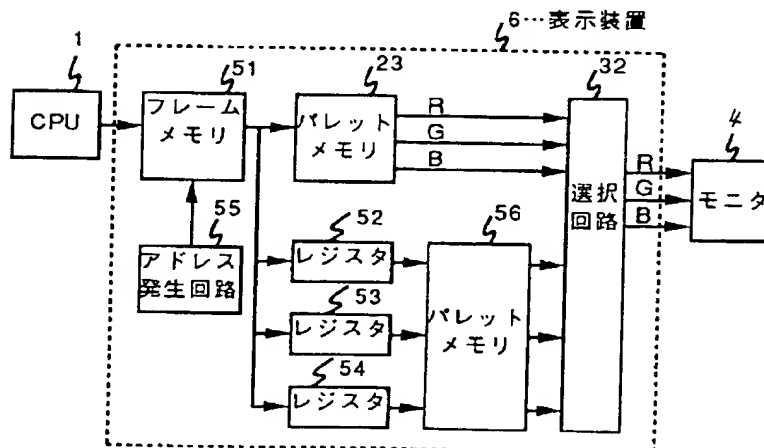
【図 7】

( 図 7 )



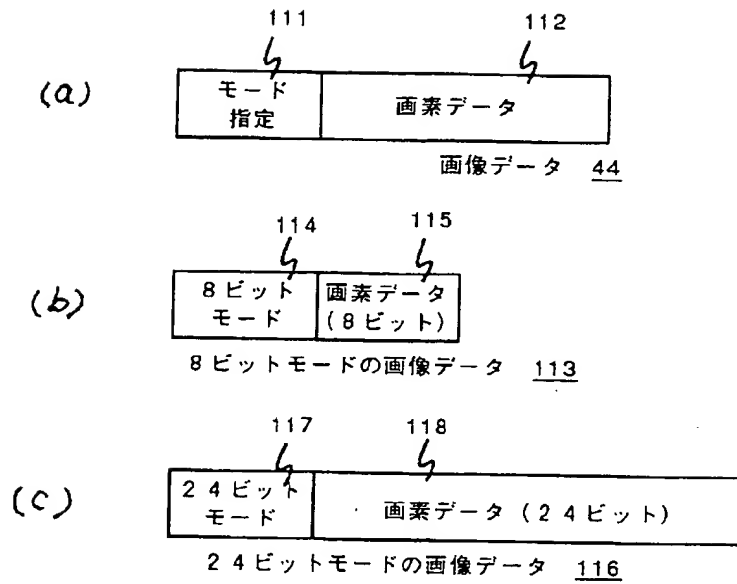
【図 1 1】

( 図 1 1 )



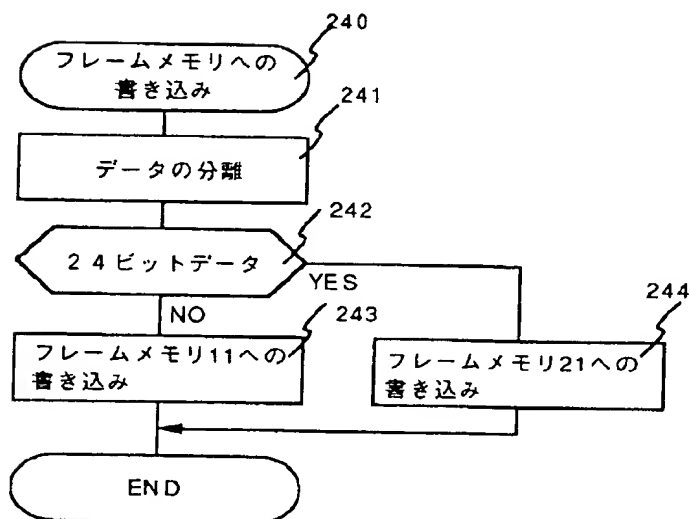
【図 9】

( 図 9 )



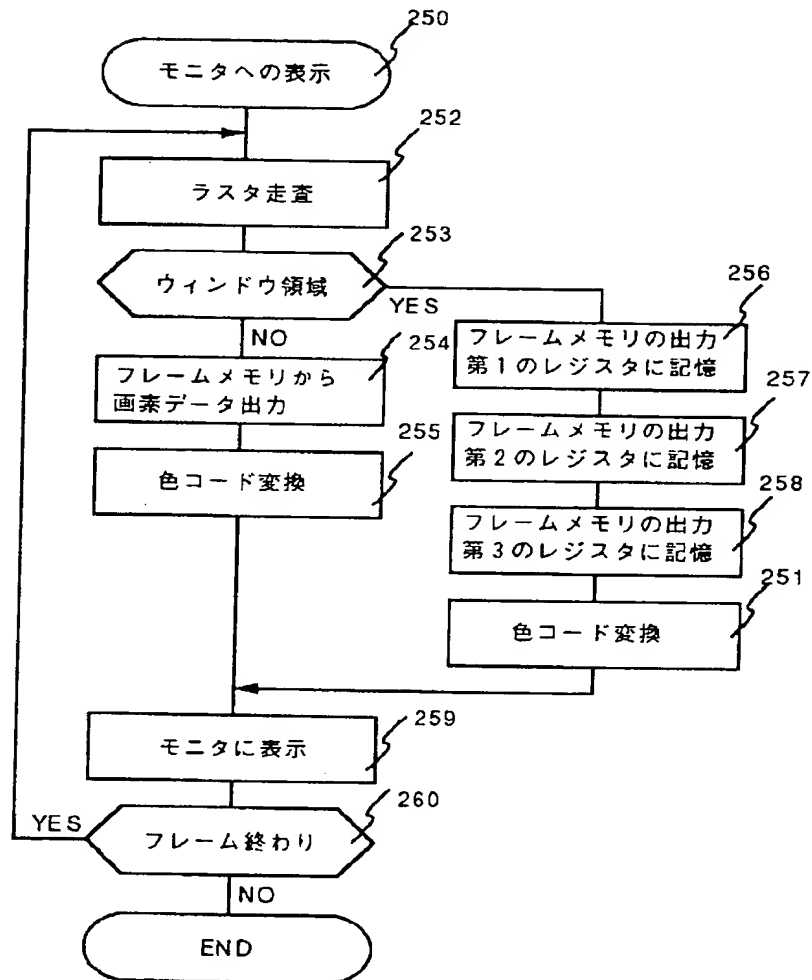
【図 10】

( 図 10 )



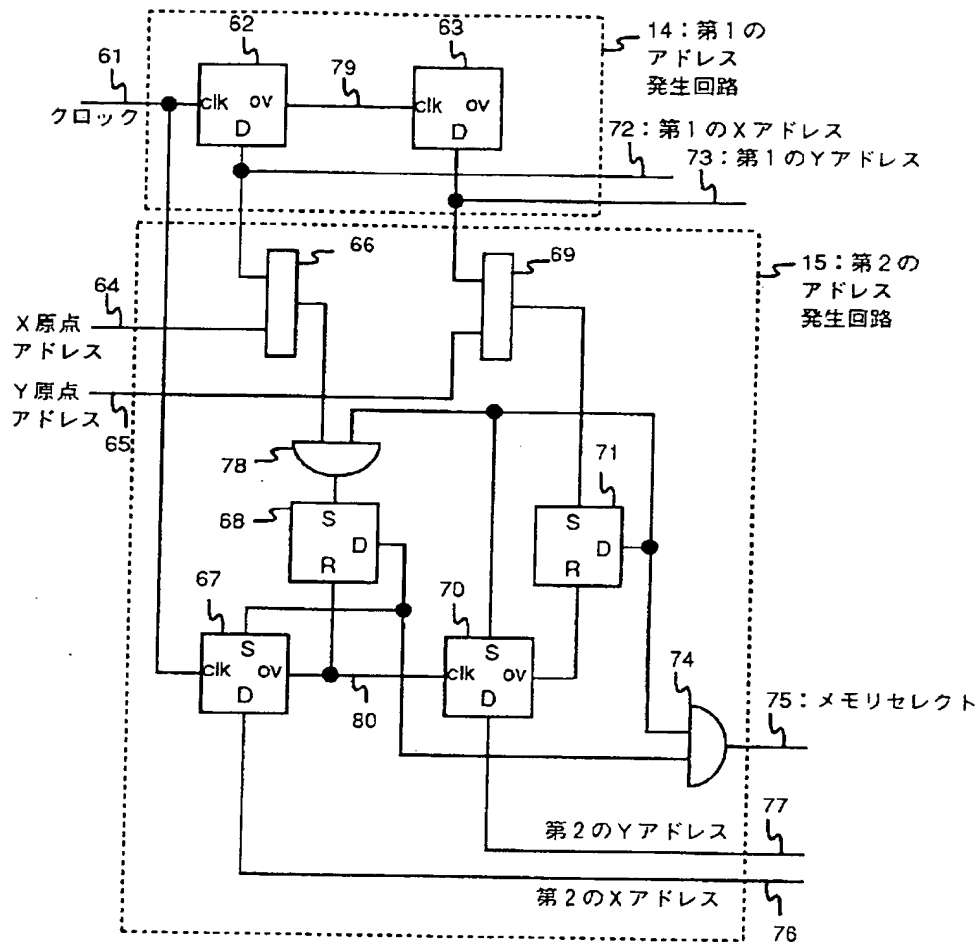
【図13】

(図13)



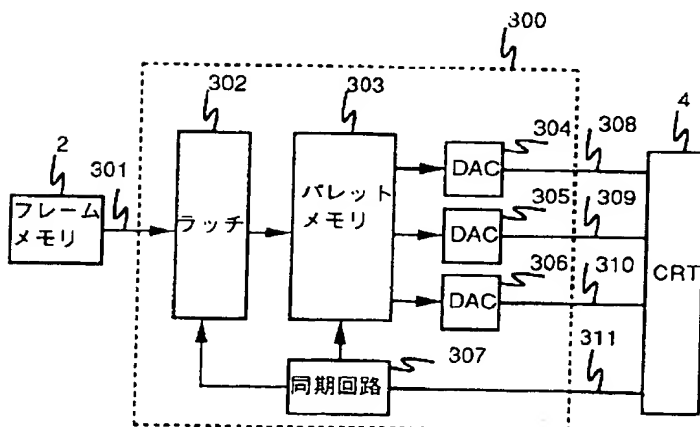
【図 1 4】

(図 1 4)



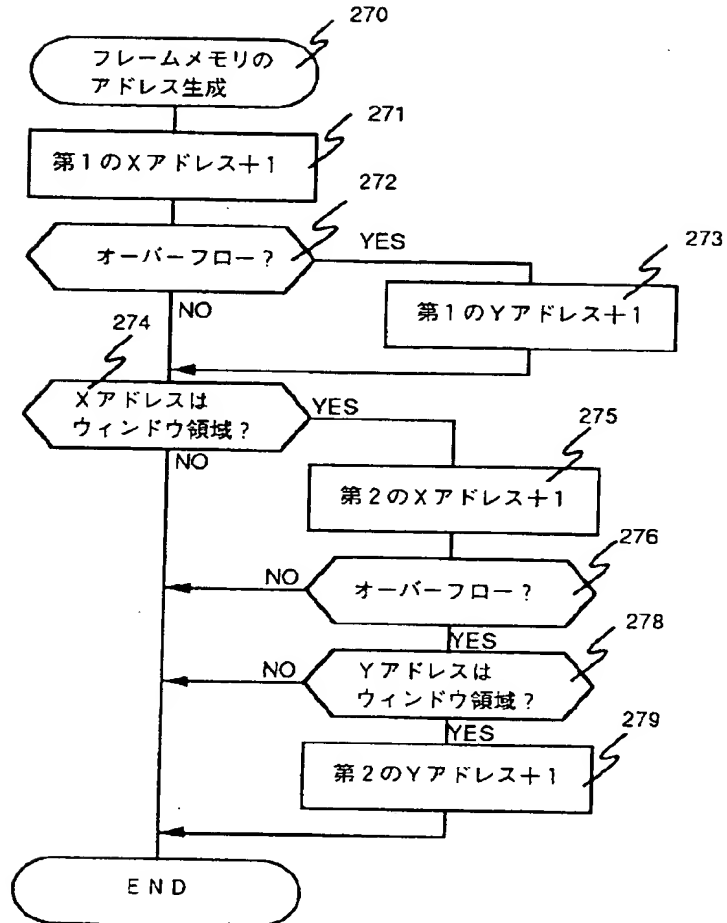
【図 1 7】

(図 1 7)



【図 1 5】

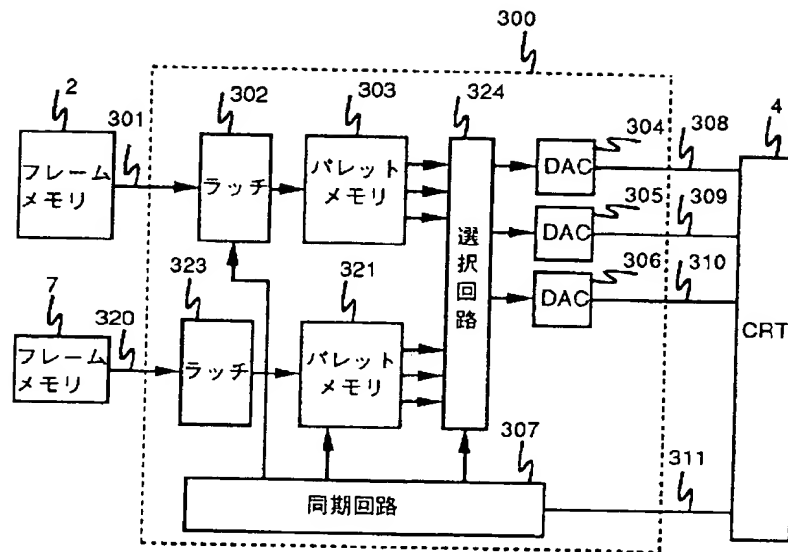
(図 1 5)





【図 1 6】

(図 1 6)



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**